

[First Hit](#)[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

Generate Collection

Print

L25: Entry 2 of 81

File: JPAB

Jun 6, 2000

PUB-NO: JP02000156796A

DOCUMENT-IDENTIFIER: JP 2000156796 A

TITLE: DC COMPONENT RECOVERY DEVICE

PUBN-DATE: June 6, 2000

## INVENTOR-INFORMATION:

NAME

COUNTRY

URAYAMA, YOJI

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

APPL-NO: JP10329510

APPL-DATE: November 19, 1998

INT-CL (IPC): H04 N 5/18

## ABSTRACT:

PROBLEM TO BE SOLVED: To provide a DC component recovery device that provides an always proper DC component to a black level of a video signal by avoiding the effects of a high-frequency noise mixed in a video signal onto a black level due to the effects of external disturbance.

SOLUTION: This DC component recovery device, employing a feedback clamp circuit or the like, provides a DC component to the black level of an analog video signal whose level is deviated from a pedestal level due to loss of the DC component, so as to restore the black level to the pedestal level. The feedback clamp circuit is provided with a differential amplifier 11 that amplifies the difference between a correction level for a given black level and a received analog video signal and provides the output of a difference signal and averaging circuits 13-17 that average the difference signal for a prescribed period to provide the output of a correction level, in response to a timing signal.

COPYRIGHT: (C) 2000, JPO

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)



## 【特許請求の範囲】

【請求項1】 直流成分を失ってベデスタルレベルからずれたアナログ映像信号の黒レベルに直流成分を与えて、該黒レベルを前記ベデスタルレベルに戻す直流成分再生装置において、

与えられる黒レベルの補正電位と入力されるアナログ映像信号との差を増幅して差信号として出力する差動増幅回路と、

前記差信号を所定期間平均化し、タイミング信号にตอบสนองして前記補正電位として出力する平均化回路とを備えることを特徴とする直流成分再生装置。

【請求項2】 前記平均化回路が、前記差動増幅回路から出力される前記差信号をデジタル変換しデジタル映像信号として前記平均化の処理に送るA/D変換回路と、前記平均化処理後のデジタル映像信号をアナログ変換して前記補正電位とするD/A変換器と、前記デジタル映像信号における黒レベルをラッチするためのクロック信号、及び、黒レベルの出力期間を示す黒レベル期間信号を夫々発生するタイミング発生回路とを備えることを特徴とする請求項1に記載の直流成分再生装置。

【請求項3】 前記平均化回路が、前記クロック信号と前記黒レベル期間信号とを論理演算して別のクロック信号として出力する論理演算回路と、前記別のクロック信号に従った出力を前記差動増幅回路に向かって出力すると共に入力側に帰還させる第1ラッチ回路と、

前記A/D変換器から前記デジタル映像信号と前記第1ラッチ回路の帰還出力とを加算する加算回路と、

前記黒レベル期間信号が与えられた時点から前記第1ラッチ回路の出力を保持しつつ出力する第2ラッチ回路とを備えることを特徴とする請求項2に記載の直流成分再生装置。

【請求項4】 前記平均化回路が、前記加算回路の積算結果と、予め設定された黒レベルの設定値とを比較する比較回路を備えることを特徴とする請求項2又は3に記載の直流成分再生装置。

【請求項5】 前記平均化回路が、前記比較回路の比較結果に従って、1水平ライン期間に一度カウント値を増減又は固定し、前記差動増幅回路に対する前記黒レベルの補正電位を増減又は固定するためのアップダウンカウンタを備えることを特徴とする請求項4に記載の直流成分再生装置。

【請求項6】 前記平均化回路が前記黒レベル期間信号を前記タイミング信号として受け取った時点で、前記D/A変換器が前記アップダウンカウンタの出力をアナログ信号に変換して出力することを特徴とする請求項5に記載の直流成分再生装置。

【請求項7】 前記平均化回路が、前記比較回路の比較結果に従って、1フィールド期間に一度カウント値を増

減又は固定し、前記差動増幅回路に対する前記黒レベルの補正電位を増減又は固定するためのアップダウンカウンタを備えることを特徴とする請求項4に記載の直流成分再生装置。

【請求項8】 前記平均化回路が前記デジタル映像信号による映像に対する垂直駆動信号を前記タイミング信号として受け取った時点で、前記D/A変換器が前記アップダウンカウンタの出力をアナログ信号に変換して出力することを特徴とする請求項7に記載の直流成分再生装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、フィードバッククランプ回路等の直流成分再生装置に関し、特に、映像信号の黒レベル補正における高周波成分等の外乱による影響を回避する直流成分再生装置に関する。

## 【0002】

【従来の技術】近年、映像機器では、アナログ映像信号をデジタル映像信号に変換して取り扱う機会が増大している。アナログ映像信号は、映像機器に入力されるまでの過程で、例えばCR結合による映像増幅回路等で増幅されることによって直流成分を失って、暗い画面（黒レベル）と明るい画面とでベデスタルレベル（帰線消去時のレベル：基準電位）が異なる信号となる。これにより、本来画面に白として表示されるべき部分が灰色になり、或いは、コントラストが変化した画面になる等の不都合が生じる。

【0003】このため、アナログ映像信号をデジタル変換して記録及び伝送する際に、入力アナログ映像信号から誤差が少ない正確な直流成分を再生し、再生した直流成分を入力アナログ映像信号に重畳して、暗い画面と明るい画面との間でベデスタルレベルを強制的に揃えることが必要になる。このような再生処理を行う従来のフィードバッククランプ回路が、例えば特開平6-46287号公報に記載されている。

【0004】図8は、上記公報に記載のフィードバッククランプ回路の一例を示すブロック図である。このフィードバッククランプ回路は、差動増幅器81、A/D変換器82、第1レジスタ83、減算回路84、加算回路85、第2レジスタ86、D/A変換器87及びタイミング発生回路88を有している。

【0005】差動増幅器81は、入力されるアナログ映像信号を補正電位にクランプする。A/D変換器82は、差動増幅器81でクランプされたアナログ映像信号をデジタル信号に変換する。第1レジスタ83は、クランプされたデジタル映像信号に対し、タイミング発生回路88から1水平ライン毎に与えられるタイミングでベデスタルレベルを保持する。

【0006】減算回路84は、保持されたベデスタルレベルと、予め設定された規定のベデスタルレベルとの誤

差を検出する。加算回路85は、減算回路84で検出された誤差と、前回計算された補正電位との加算を行って、補正電位を更新する。第2レジスタ86は、更新された補正電位をタイミング発生回路88からのタイミングで保持する。D/A変換器87は、更新された新補正電位をアナログ信号に変換し、入力されるアナログ映像信号のクランプ電位として差動増幅器81にフィードバックする。

【0007】次に、上記従来のフィードバッククランプ回路の動作を図8及び図9を参照して説明する。図9は、従来のフィードバッククランプ回路の動作を示す信号波形を示すタイミングチャート図である。同図における横方向は時間軸、縦方向は信号線軸を夫々示し、(a)は直流成分を失いベデスタルレベルに位置した映像信号(信号A)、(b)はクランプタイミング信号(信号B)、(c)はセット信号(信号C)を夫々示す。

【0008】まず、直流成分を持たないアナログ映像信号が差動増幅器81に入力されると、差動増幅器81では、このアナログ映像信号が、D/A変換器87から送られる黒レベル補正電位信号でクランプされて出力される。クランプされたアナログ映像信号は、A/D変換器82でデジタル信号に変換され、装置外部と第1レジスタ83とに向かって夫々出力される。

【0009】クランプされたデジタル映像信号が第1レジスタ83に入力されると、このデジタル映像信号のベデスタル(掃線消去)のタイミングに対応したクランプタイミング信号によって、入力されたデジタル映像信号のベデスタルレベルが抽出、保持されて出力される。クランプタイミング信号は、タイミング発生回路88で発生されて第1レジスタ83と第2レジスタ86とに夫々送られる信号(図9(b))である。

【0010】次いで、第1レジスタ83から出力されたベデスタルレベルが減算回路84に入力されると、減算回路84では、このベデスタルレベルから、予め設定された規定のベデスタルレベルが減算される。減算回路84での減算結果は、入力されたデジタル映像信号のベデスタルレベルと規定のベデスタルレベル(図8に示す設定値)との誤差データである。

【0011】更に、上記誤差データが加算回路85に入力されると、加算回路85はこの誤差データと、前回差動増幅器81に与えた第2レジスタ86からの補正電位とを加算し、新たな補正電位として出力する。このとき、加算回路85からの補正電位出力値がオーバフローした場合にはその最大値が、負の場合には零の値が夫々出力される。

【0012】加算回路85から出力された新たな補正電位は、第2レジスタ86に入力され、クランプタイミング信号(図9(b)の信号B)よりも遅れ、且つ、水平ブランキング(掃線消去)期間中に一度のタイミングで発生するセット信号(図9(c)の信号C)によって更新さ

れ、1水平期間中保持される。このセット信号がタイミング発生回路88から第2レジスタ86に入力され、第2レジスタ86から出力される補正電位は、上記クランプタイミング信号が発生する度に更新される。第2レジスタ86から出力された新たな補正電位は、D/A変換器87によってアナログ信号に変換されて差動増幅器81に入力される。これにより、直流成分を持たない入力アナログ映像信号は、新たな補正電位にクランプされ、直流成分を与えられることになる。

【0013】

【発明が解決しようとする課題】ところで、上記従来のフィードバッククランプ回路では、外乱などの影響で黒レベルに混入される高周波ノイズの影響を受けやすく、高周波ノイズの影響を受けた場合には、正確な黒レベル補正電位を得ることができず、映像信号の黒レベルにムラが生じることがあった。また、検出した誤差データ量が大きい場合には、誤差データがそのまま前回の補正電位に加算され、1水平ライン期間毎に変化する補正電位量が大きくなるため、映像信号における黒レベルのムラが1水平ライン毎に生じる。

【0014】本発明は、上記に鑑み、外乱などの影響で映像信号に混入される高周波ノイズの黒レベルへの影響を回避し、映像信号の黒レベルに対して常に適切な直流成分を与えることができる直流成分再生装置を提供することを目的とする。

【0015】

【課題を解決するための手段】上記目的を達成するために、本発明の直流成分再生装置は、直流成分を失ってベデスタルレベルからずれたアナログ映像信号の黒レベルに直流成分を与えて、該黒レベルを前記ベデスタルレベルに戻す直流成分再生装置において、与えられる黒レベルの補正電位と入力されるアナログ映像信号との差を増幅して差信号として出力する差動増幅回路と、前記差信号を所定期間平均化し、タイミング信号にตอบสนองして前記補正電位として出力する平均化回路とを備えることを特徴とする。

【0016】本発明の直流成分再生装置では、映像信号の黒レベルを平均化させてから黒レベルの補正電位として差動増幅回路に供給するので、黒レベル出力期間中に高周波ノイズが混入した場合でもノイズを黒レベルと共に平均化させ、高周波ノイズの直接的な影響を回避して高精度な黒レベルの再生を可能にする。

【0017】ここで、前記平均化回路が、前記差動増幅回路から出力される前記差信号をデジタル変換しデジタル映像信号として前記平均化の処理に送るA/D変換回路と、前記平均化処理後のデジタル映像信号をアナログ変換して前記補正電位とするD/A変換器と、前記デジタル映像信号における黒レベルをラッチするためのクロック信号、及び、黒レベルの出力期間を示す黒レベル期間信号を夫々発生するタイミング発生回路とを備えるこ

10

20

30

40

50

とが好ましい。これにより、デジタル映像信号から黒レベルのみを取り出し、平均化処理を加えてからアナログ変換し、その値を前記補正電位として差動増幅回路に供給することができる。

【0018】また、前記平均化回路が、前記クロック信号と前記黒レベル期間信号とを論理演算して別のクロック信号として出力する論理演算回路と、前記別のクロック信号に従った出力を前記差動増幅回路に向かって出力すると共に入力側に帰還させる第1ラッチ回路と、前記A/D変換器から前記デジタル映像信号と前記第1ラッチ回路の帰還出力とを加算する加算回路と、前記黒レベル期間信号が与えられた時点から前記第1ラッチ回路の出力を保持しつつ出力する第2ラッチ回路とを備えることが好ましい。これにより、映像信号の黒レベルを平均化してから補正電位として差動増幅回路に出力するための好適な回路構成を得ることができる。

【0019】前記平均化回路が、前記加算回路の積算結果と、予め設定された黒レベルの設定値とを比較する比較回路を備えることが好ましい。この場合、例えば差動増幅回路やA/D変換回路の温度ドリフトなどに起因する特性ばらつきを吸収し、入力アナログ映像信号に対して常に適正な直流成分を与えることが可能になる。

【0020】好ましくは、前記平均化回路が、前記比較回路の比較結果に従って、1水平ライン期間に一度カウント値を増減又は固定し、前記差動増幅回路に対する前記黒レベルの補正電位を増減又は固定するためのアップダウンカウンタを備える。

【0021】この場合、例えば比較回路による比較結果が、予め設定された黒レベルの設定値よりも積算結果が小さい状態であれば、黒レベルの補正電位を上昇させるようにアップダウンカウンタを1インクリメントする。また、積算結果が黒レベルの設定値よりも大きい場合には、黒レベルの補正電位を下降させるようにアップダウンカウンタを1デクリメントする。一方、積算結果と黒レベルの設定値とが等しい場合には、アップダウンカウンタのカウント値を増減させない。これらの処理により、予め設定された黒レベル設定値と映像信号の黒レベルとの間の誤差が大きい場合でも、黒レベルのムラがない映像信号を1水平ライン期間毎に生成することができる。

【0022】更に好ましくは、前記平均化回路が前記黒レベル期間信号を前記タイミング信号として受け取った時点で、前記D/A変換器が前記アップダウンカウンタの出力をアナログ信号に変換して出力する。これにより、アナログ変換した補正電位を適切なタイミングで差動増幅回路に供給することができる。

【0023】或いは、上記に代えて、前記平均化回路が、前記比較回路の比較結果に従って、1フィールド期間に一度カウント値を増減又は固定し、前記差動増幅回路に対する前記黒レベルの補正電位を増減又は固定する

ためのアップダウンカウンタを備えることも好ましい態様である。この場合、予め設定された黒レベル設定値と映像信号の黒レベルとの間の誤差が大きい場合でも、黒レベルのムラがない映像信号を1フィールド期間毎に生成することができる。

【0024】また、前記平均化回路が、前記平均化回路が前記デジタル映像信号による映像に対する垂直駆動信号を前記タイミング信号として受け取った時点で、前記D/A変換器が前記アップダウンカウンタの出力をアナログ信号に変換して出力することが好ましい。これにより、アナログ変換した補正電位を適切なタイミングで差動増幅回路に供給することができる。

【0025】

【発明の実施の形態】図面を参照して本発明を更に詳細に説明する。図1は、本発明の第1実施形態例におけるフィードバッククランプ回路（直流成分再生装置）の構成を示すブロック図である。フィードバッククランプ回路は、差動増幅器11、A/D変換器12、タイミング発生回路13、デジタル積分回路14、デジタル比較回路15、UP/DOWN（アップダウン）カウンタ16、及びD/A変換器17を有している。

【0026】差動増幅器11は、直流成分を持たないアナログ映像信号が入力され、この映像信号と、D/A変換器17から与えられる補正電位との差を増幅して出力する。A/D変換器12は、差動増幅器11で増幅されて直流成分を付与されたアナログ映像信号を、タイミング発生回路13から与えられるA/D変換用の変換クロック信号ADCLKをもとにデジタル変換し、そのデジタル映像信号を装置外部とデジタル積分回路14とに向かって夫々出力する。

【0027】デジタル積分回路14は、タイミング発生回路13から与えられる変換クロック信号ADCLKと、デジタル映像信号における黒レベルの出力期間を示す黒レベル期間信号OBP(Optical Black Clamp Pulse)とから、映像信号の黒レベルを積算して平均化（積分）し、積分結果をデジタル比較回路15に出力する。黒レベル期間信号OBPは、タイミング発生回路13から所定のタイミングで発生される、黒レベルの出力期間を示す信号である。また、デジタル比較回路15は、デジタル積分回路14からの積分結果と、装置外部からの予め設定された映像信号の黒レベル設定値OB(Optical Black)との比較を行い、積分結果と黒レベル設定値との大小関係を示す信号UD、ENをUP/DOWNカウンタ16に出力する。

【0028】UP/DOWNカウンタ16は、デジタル比較回路15から出力される信号UD、ENをもとに、タイミング発生回路13からの黒レベル期間信号OBPに従って、カウント値、即ち黒レベルの補正電位を増減させる。D/A変換器17は、UP/DOWNカウンタのカウント値、即ち補正電位をタイミング発生回路13からの黒レベル期間信号OBPによりアナログデータに変換し、差動増幅器1

1にフィードバックする。これにより、入力アナログ映像信号は、D/A変換器17が出力する黒レベル補正電位信号にクランプされて、直流成分を持つことになる。

【0029】次に、本実施形態例におけるデジタル積分回路14の構成を詳細に説明する。図2は、デジタル積分回路14の構成を示すブロック図である。デジタル積分回路14は、加算器21、フリップフロップから成るラッチ回路22、23、及びゲート回路24を有する。ゲート回路24は、一方の入力端子に変換クロック信号ADCLKの反転値が、他方の入力端子に黒レベル期間信号OBCPが夫々入力され、結果としてのクロック信号をラッチ回路22に出力する。

【0030】加算器21は、A/D変換器12でデジタル変換されたデジタル映像信号と、フィードバックされるラッチ回路22の出力とを加算する。ラッチ回路22は、加算器21で加算されたデータを入力し、この加算データをゲート回路24からのクロック信号によって保持し、この保持したデータをラッチ回路23と加算器21とに向かって送る。加算（積算）結果は、黒レベル期間信号OBCPによってラッチ回路23で1水平ライン期間に一度保持されつつ、映像信号の黒レベル期間の積分結果としてデジタル比較回路15に送られる。

【0031】次に、本実施形態例におけるフィードバッククランプ回路の作動を説明する。差動増幅器11は、入力されるアナログ映像信号と、与えられる黒レベルの補正電位との差を増幅し、直流成分を持ったアナログ映像信号としてA/D変換器12に出力する。A/D変換器12は、タイミング発生回路13からの変換クロック信号ADCLKのタイミングでアナログ映像信号をデジタル信号に変換し、そのデジタル映像信号を装置外部とデジタル積分回路14とに夫々出力する。これにより、デジタル積分回路14は、変換クロック信号ADCLKと黒レベル期間信号OBCPとをもとに、デジタル映像信号における黒レベルを積分する。

【0032】次に、デジタル積分回路14の作動について図2及び図3を共に参照して説明する。図3は、本実施形態例におけるデジタル積分回路14の作動を示すタイミングチャート図である。同図における横方向は時間軸、縦方向は信号軸を夫々示し、最上方に1水平ライン期間の映像信号を、続く(a)に黒レベル期間信号OBCPを、  
デジタル比較回路真理値表

\*夫々示す。同図における(b)は、(a)の黒レベル期間信号OBCPにおける1パルスを拡大して示したものであり、これに続く(c)、(d)、(e)は夫々(b)の時間軸に対応している。(c)は変換クロック信号ADCLK、(d)はA/D変換器12の出力、(e)はゲート回路24からラッチ回路22に与えられるクロック信号を夫々示す。

【0033】黒レベル期間信号OBCPは、1水平ライン期間内で一度、映像信号の水平ブランキング期間内で発生する(図3の(a))。ゲート回路24は、図3の(b)及び(c)に夫々示す黒レベル期間信号OBCPと変換クロック信号ADCLKとを論理演算し、ラッチ回路22へのクロック信号(e)を生成する。クロック信号(e)は、(b)の黒レベル期間信号OBCPがハイレベル“H”の期間中、変換クロック信号ADCLKの1周期期間で割った数だけ発生する。

【0034】図3では、変換クロック信号ADCLKのパルス数をN回としている。ラッチ回路22は、変換クロック信号ADCLKが入力されるとデータを保持し加算器21にフィードバックするので、ラッチ回路22と加算器21との組み合わせによって、デジタル映像信号の黒レベルがN回積算されることになる。N回積算される黒レベルは、ラッチ回路23で、黒レベル期間信号OBCPによって保持される。この保持処理は、1水平ライン期間に一度ずつ行われる。

【0035】図4は、高周波ノイズが含まれた映像信号と黒レベル期間信号OBCPとのタイミングを示すタイミングチャート図である。同図に示すように、黒レベルの出力期間中に高周波ノイズ(図の水平ブランキング期間内における髭状パルス)が混入されたとしても、黒レベルがデジタル積分回路14でN回積算され、高周波ノイズが黒レベルと共に平均化されるので、演算結果の誤差が減少する。この場合、積算回数Nを増加するほど、積分結果は本来の黒レベルの値に近づく。

【0036】デジタル比較回路15は、デジタル積分回路14の積分結果と黒レベル設定値OBとの比較を行う。表1及び表2は、本実施形態例におけるデジタル比較回路15及びUP/DOWNカウンタ回路16の各動作を夫々示す真理値表である。

【0037】

【表1】

入力	出力	
	UD	EN
設定値>積分結果	1	1
設定値<積分結果	0	1
設定値=積分結果	1 or 0	0

【0038】

※ ※【表2】

## UP/DOWNカウンタ動作モード

入力		カウントモード
UD	EN	
0	1	減少
1	1	増加
Don't Care	0	保持

【0039】双方の値の比較結果は、表1に示す真理値表に従って取り扱われる。積分結果が予め与えられた黒レベル設定値OBよりも小さい場合には、UP/DOWNカウンタ16に対する増減信号UD(UP/DOWN)及びイネーブル信号EN(ENABLE)に“1”を夫々出力する。積分結果が黒レベル設定値OBよりも大きい場合には、増減信号UDに“0”を、イネーブル信号ENに“1”を夫々出力する。積分結果と黒レベル設定値OBとが等しい場合には、増減信号UDは“1”、“0”のいずれでもよく、イネーブル信号ENに“0”を出力する。

【0040】UP/DOWNカウンタ回路16は、デジタル比較回路15から与えられる比較結果(UD, EN信号)に従って、タイミング発生回路13から供給される黒レベル期間信号OBCPのタイミングでカウント値を増減させる。UP/DOWNカウンタ回路16の動作モードは、表2に示すように、入力される信号(UD, EN)で決定される。

【0041】例えば、増減信号UD及びイネーブル信号ENが共に“1”の場合、即ち積分結果が黒レベル設定値OBよりも小さい場合には、UP/DOWNカウンタ回路16は増加モードとなり、タイミング発生回路13からの黒レベル期間信号OBCPのタイミングでカウント値を1LSBだけ、つまりカウント値を1インクリメントする。

【0042】増減信号UDが“0”、イネーブル信号ENが“1”である場合、即ち積分結果が黒レベル設定値OBよりも大きい場合には、UP/DOWNカウンタ回路16は減少モードとなり、タイミング発生回路13から供給される黒レベル期間信号OBCPのタイミングでカウント値を1LSBだけ、つまりカウント値を1デクリメントする。また、イネーブル信号ENが“0”の場合には、増減信号UDの値に拘わらず、UP/DOWNカウンタ回路16は保持モードとなり、タイミング発生回路13から黒レベル期間信号OBCPが供給されても、カウント値を増減させずに保持する。

【0043】上記のように、デジタル積分回路14の積分結果が黒レベル設定値OBよりも大きい場合には、UP/DOWNカウンタ16のカウント値が減少する方向に働く。デジタル積分回路14の積分結果が黒レベル設定値OBよりも小さい場合には、UP/DOWNカウンタ16のカウント値が増加する方向に働く。UP/DOWNカウンタ16のカウント値は、差動増幅器11に入力されるアナログ映像信号の黒レベル補正値としてD/A変換器17に出力される。D/A変換器17は、タイミング発生回路13からの黒レベル期間信号OBCPによって、カウント値を1水平\*50、

\*ライン期間に一度アナログデータに変換し、差動増幅器11に供給する。これにより、差動増幅器11に入力されるアナログ映像信号は、D/A変換器17の出力電圧(黒レベルの補正電位)にクランプされる。

【0044】次に、本発明の第2実施形態例について図面を参照して説明する。図5は、本実施形態例におけるフィードバッククランプ回路の構成を示すブロック図、図6は、本実施形態例におけるデジタル積分回路14の詳細な構成を示すブロック図である。図5及び図6では、図1、図2と共通の回路要素に夫々同じ符号を付している。

【0045】第1実施形態例では、デジタル積分回路14、デジタル比較回路15、UP/DOWNカウンタ16及びD/A変換器17を黒レベル期間信号OBCPによって夫々動作させたが、本実施形態例では、デジタル積分回路14におけるゲート回路24には黒レベル期間信号OBCPを供給するが、ラッチ回路23、UP/DOWNカウンタ16及びD/A変換器17には夫々、デジタル映像信号による映像に対する垂直駆動信号VDが供給される。

【0046】すなわち、差動増幅器11は、直流成分を持たないアナログ映像信号が入力され、この映像信号と、D/A変換器17から与えられる補正電位との差を増幅して出力する。A/D変換器12は、差動増幅器11で増幅されたアナログ映像信号を、タイミング発生回路13から与えられる変換クロック信号ADCLKをもとにデジタル変換し、デジタル映像信号を装置外部とデジタル積分回路14とに向かって夫々出力する。

【0047】デジタル積分回路14は、変換クロック信号ADCLKと黒レベル期間信号OBCPとから、映像信号の黒レベルを積算して平均化(積分)し、映像の垂直駆動信号VDのタイミングで積分結果をデジタル比較回路15に出力する。デジタル比較回路15は、デジタル積分回路14からの積分結果と、装置外部からの黒レベル設定値OBとの比較を行い、積分結果と黒レベル設定値との大小関係を示す信号UD、ENをUP/DOWNカウンタ16に出力する。

【0048】UP/DOWNカウンタ16は、デジタル比較回路15から出力される信号UD、ENをもとに、タイミング発生回路13からの画像の垂直駆動信号VDに従って、カウント値(黒レベルの補正電位)を増減させる。D/A変換器17は、UP/DOWNカウンタのカウント値を、タイミング発生回路13からの映像の垂直駆動信号VDによりアナログデータに変換し、差動増幅器11にフィードバ



## 11

ックする。これにより、入力アナログ映像信号は、D/A変換器17が出力する黒レベル補正電位信号にクランプされて、直流成分を持つ。

【0049】次に、本実施形態例におけるデジタル積分回路14の構造を詳細に説明する。図6は、デジタル積分回路14の構成を示すブロック図である。デジタル積分回路14は、加算器21、フリップフロップから成るラッチ回路22、23、及びゲート回路24を有する。ゲート回路24は、一方の入力端子に変換クロック信号ADCLKの反転値が、他方の入力端子に黒レベル期間信号0BCPが夫々入力され、結果としてのクロック信号をラッチ回路22に出力する。

【0050】加算器21は、A/D変換器12でデジタル変換されたデジタル映像信号と、フィードバックされるラッチ回路22の出力とを加算する。ラッチ回路22は、加算器21で加算されたデータを入力し、加算データをゲート回路24からのクロック信号で保持し、その保持データをラッチ回路23と加算器21とに向かって夫々送る。これにより、ラッチ回路22の出力信号は、映像信号の黒レベル期間の積分結果となる。この積分結果は、映像の垂直駆動信号VDによって1フィールド期間で一度保持されてラッチ回路23に送られ、デジタル比較回路15に入力される。

【0051】次に、デジタル積分回路14の作動について図6及び図7を共に参照して説明する。図7は、本実施形態例におけるデジタル積分回路14の作動を示すタイミングチャート図である。同図における横方向は時間軸、縦方向は信号軸を夫々示し、最上方に1フィールド期間の映像信号、続く(a)に映像の垂直駆動信号VD、(b)に黒レベル期間信号0BCPを夫々示す。同図における(c)は、(b)の黒レベル期間信号0BCPにおける主に1水平ライン期間を示すパルス相互間を拡大して示したものであり、これに続く(e)は(c)の時間軸に対応する。(e)はゲート回路24からラッチ回路22に与えられるクロック信号を示す。

【0052】映像の垂直駆動信号VDは、1フィールド期間(1/2画面分)内で一度、映像信号の垂直ブランキング期間内で発生する(図7の(a))。ゲート回路24は、図7の(b)及び(e)に夫々示す黒レベル期間信号0BCPと変換クロック信号ADCLKとを論理演算し、ラッチ回路22へのクロック信号(e)を生成する。クロック信号(e)は、(c)の黒レベル期間信号0BCPがハイレベル“H”の期間中、変換クロック信号ADCLKの1周期期間で割った数だけ発生する。

【0053】図7では、変換クロック信号ADCLKのパルス数をN回としている。ラッチ回路22は、変換クロック信号ADCLKが入力されるとデータを保持し加算器21にフィードバックするので、ラッチ回路22と加算器21との組み合わせによって、デジタル映像信号の1水平ラインの映像信号の黒レベルがN回積算される。N回積

## 12

算される黒レベルは、ラッチ回路23で、映像の垂直駆動信号VDによって保持されて出力される。この保持処理は、1フィールド期間に一度ずつ行われるので、本実施形態例のデジタル積分回路14では、1水平ラインの映像信号の黒レベルを、更に垂直方向に1/2画像フレーム期間積分した結果が出力される。

【0054】デジタル積分回路14からの積分結果は、デジタル比較回路15に入力され、黒レベル設定値OBと比較される。UP/DOWNカウンタ16は、デジタル比較回路15の比較結果から、カウント値を1LSB増減、或いは増減せずに保持する。

【0055】デジタル比較回路15及びUP/DOWNカウンタ16の各入出力関係は、第1実施形態例における表1と同様である。つまり、UP/DOWNカウンタ16は、デジタル積分回路14の積分結果が黒レベル設定値OBよりも大きい場合にはカウント値を減少させる方向に働き、デジタル積分回路14の積分結果が黒レベル設定値OBよりも小さい場合にはカウント値を増加させる方向に働く。また、UP/DOWNカウンタ16は、デジタル積分回路14の積分結果と黒レベル設定値OBとが等しい場合には、カウント値を増減させずに保持する。

【0056】UP/DOWNカウンタ16のカウント値は、タイミング発生回路13からの垂直駆動信号VDのタイミングで増減し、デジタル映像信号の黒レベル補正電位としてD/A変換器17に供給される。D/A変換器17は、UP/DOWNカウンタ16のカウント値を受け、タイミング発生回路13からの垂直駆動信号VDのタイミングで1フィールド期間に一度、カウント値(黒レベルの補正電位)をアナログデータに変換し、差動増幅器11に供給する。これにより、差動増幅器11に入力されるアナログ映像信号は、D/A変換器17の出力電位にクランプされて、直流成分が再生される。

【0057】本実施形態例のフィードバッククランプ回路では、1フィールド期間(1/2画像フレーム期間)の映像信号における黒レベルを平均化するので、第1実施形態例よりも更に精度の良い直流再生処理が可能になる。本実施形態例では、映像信号の黒レベルの誤差を1フィールド期間を基準としてフィードバックするので、補正電位によって補正される黒レベルのばらつきを一層軽減することができる。

【0058】以上のように、第1及び第2実施形態例におけるフィードバッククランプ回路では、黒レベルが出力される期間内で黒レベルを平均化するので、黒レベルに高周波ノイズが混入した場合でもその影響を直接的に受けることがなく、黒レベルに対する直流成分の再生処理を高精度に行うことができる。また、黒レベル設定値OBと映像信号の黒レベル積算値との誤差量を検出せずに、双方の値の大小関係のみを検出し、この検出結果からUP/DOWNカウンタ16のカウント値を1LSBのみ増減させることができる。これにより、例えば、黒レベル設定



値OBと黒レベルの積分値とが大きく異なって誤差が大きい場合に、差動増幅器11へのフィードバック量が大きくなることによって生じる黒レベルのムラを抑止することができる。

【0059】以上、本発明をその好適な実施形態例に基づいて説明したが、本発明のフィードバッククランプ回路等の直流成分再生装置は、上記実施形態例の構成にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施した直流成分再生装置も、本発明の範囲に含まれる。

【0060】

【発明の効果】以上説明したように、本発明の直流成分再生装置によると、外乱などの影響で映像信号に混入される高周波ノイズの黒レベルへの影響を回避し、映像信号の黒レベルに対して常に適切な直流成分を与えることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態例におけるフィードバッククランプ回路の構成を示すブロック図である。

【図2】第1実施形態例におけるデジタル積分回路の構成を示すブロック図である。

【図3】第1実施形態例におけるデジタル積分回路の動作を示すタイミングチャート図である。

【図4】高周波ノイズが含まれた場合の映像信号及び黒レベル期間信号のタイミングを示すタイミングチャート図である。

【図5】本発明の第2実施形態例におけるフィードバッククランプ回路の構成を示すブロック図である。

【図6】第2実施形態例におけるデジタル積分回路の構成を示すブロック図である。

【図7】第2実施形態例におけるデジタル積分回路の動作を示すタイミングチャート図である。

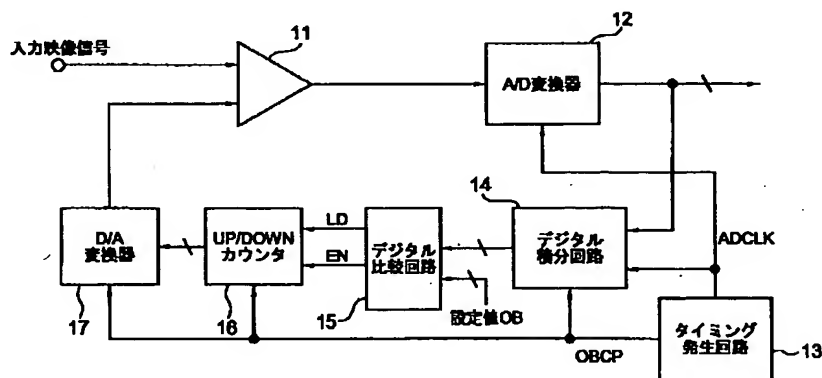
【図8】従来のフィードバッククランプ回路の一例を示すブロック図である。

【図9】図8のフィードバッククランプ回路の動作を示すタイミングチャート図である。

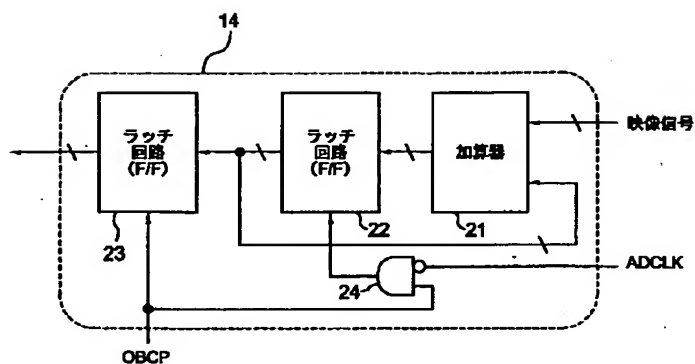
【符号の説明】

- |    |       |             |
|----|-------|-------------|
| 10 | 11    | 差動増幅器       |
|    | 12    | A/D変換器      |
|    | 13    | タイミング発生回路   |
|    | 14    | デジタル積分回路    |
|    | 15    | デジタル比較回路    |
|    | 16    | UP/DOWNカウンタ |
|    | 17    | D/A変換器      |
|    | 21    | 加算器         |
|    | 22、23 | ラッチ回路       |
|    | 24    | ゲート回路       |
| 20 | 81    | 差動増幅器       |
|    | 82    | A/D変換器      |
|    | 83    | 第1レジスタ      |
|    | 84    | 減算回路        |
|    | 85    | 加算回路        |
|    | 86    | 第2レジスタ      |
|    | 87    | D/A変換器      |
|    | 88    | タイミング発生回路   |

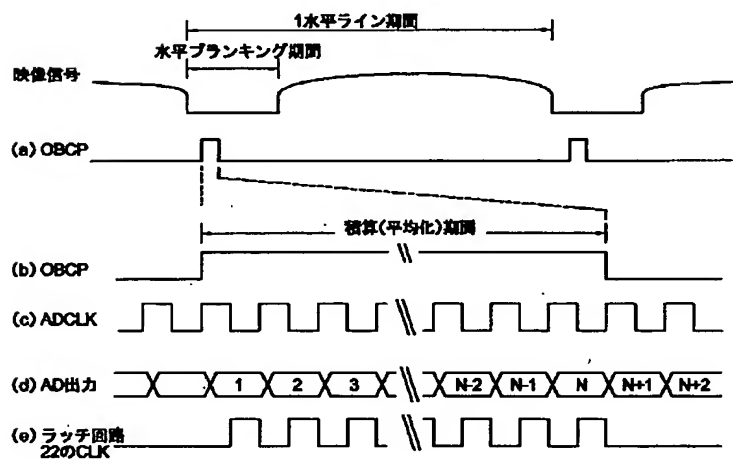
【図1】



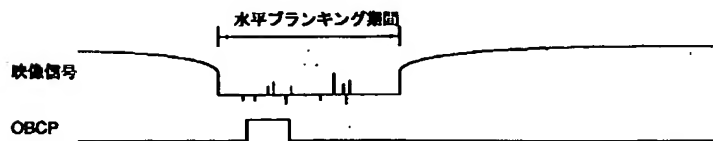
【図2】



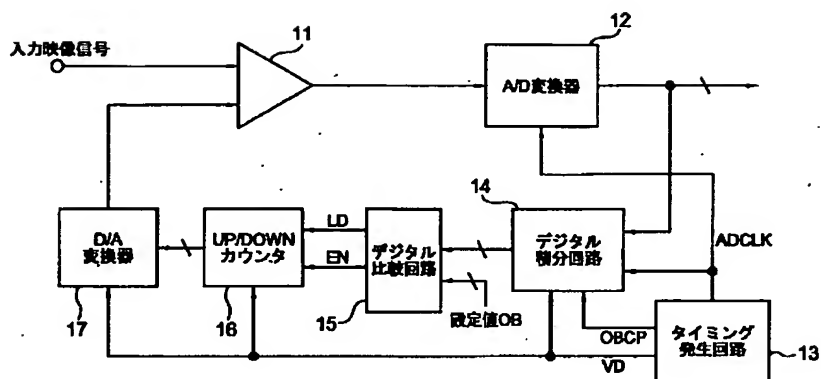
【図3】



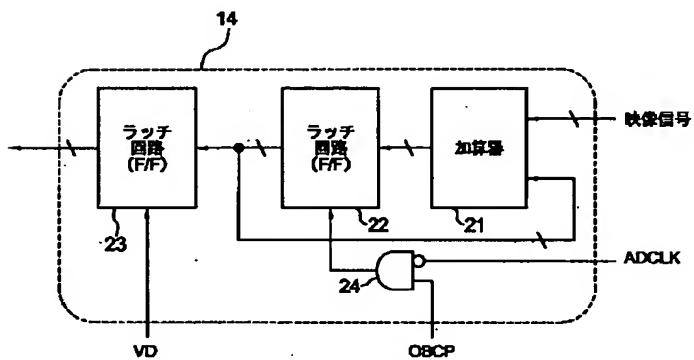
【図4】



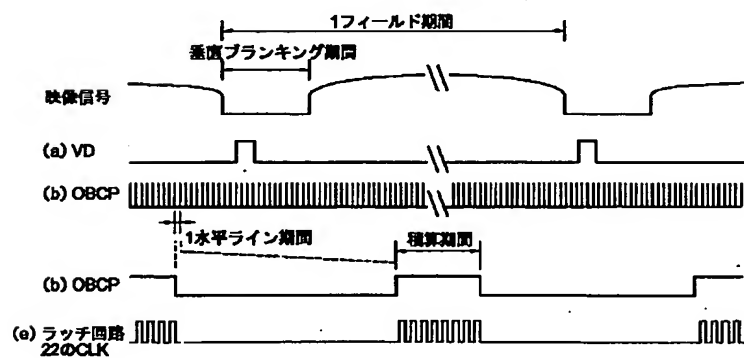
【図5】



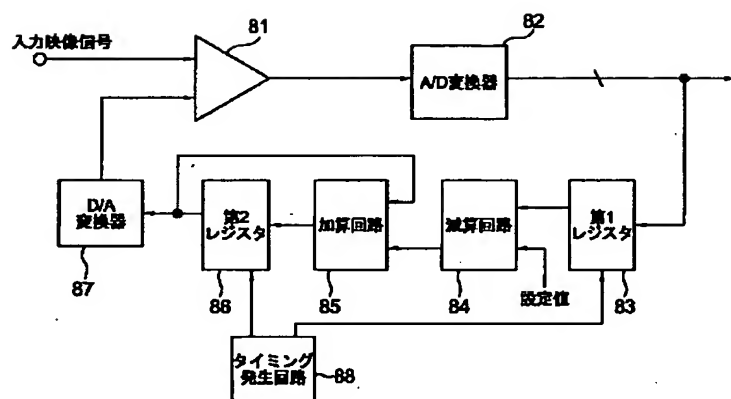
【図6】



【図7】



【図8】



【図9】

